

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07131311 A

(43) Date of publication of application: 19.05.95

(51) Int. Cl

H03K 5/135  
G01R 31/28

(21) Application number: 05294097

(71) Applicant: ANDO ELECTRIC CO LTD

(22) Date of filing: 29.10.93

(72) Inventor: YANO JUICHI

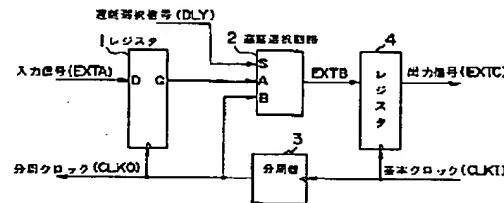
(54) SYNCHRONOUS DELAY CIRCUIT

(57) Abstract:

PURPOSE: To use an inexpensive semiconductor such as a CMOS by providing a delay selecting circuit 2 for generating a signal provided with the difference of delay time just for the cycle of a basic clock and a register for latching a signal outputted from the delay selecting circuit corresponding to the basic clock.

CONSTITUTION: When delaying an input signal EXTA, a delay signal DLY is defined as '1'. When an input signal EXTA1 is turned to the state of signal presence, that signal is latched to a register 1 by a clock CLK03, and the output of the register 1 becomes an output signal 4. This output signal 4, clock CLK03 and delay signal DLY are inputted to a delay selecting circuit 2 and since the delay signal DLY is '1', only the signal part 6 (the latter half) of a clock CLK0=0 is outputted. This register 4 latches such a signal part 6 corresponding to a basic clock CLK12. This output 8 is turned to '0' by the next CLK12 and becomes the pulse width just for one cycle. On the other hand, this output becomes a pulse delayed to the input just for the two cycles of the basic clock CLK1 +  $\alpha$  (the delay time of an integrated circuit). Therefore, the delay of the basic cycle can be changed by the delay signal DLY.

COPYRIGHT: (C)1995,JPO



Best Available Copy

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-131311

(43)公開日 平成7年(1995)5月19日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 03K 5/135

G 01R 31/28

G 01R 31/28

M

審査請求 未請求 請求項の数2 FD (全7頁)

(21)出願番号 特願平5-294097

(71)出願人 000117744

安藤電気株式会社

東京都大田区蒲田4丁目19番7号

(22)出願日 平成5年(1993)10月29日

(72)発明者 矢野 寿一

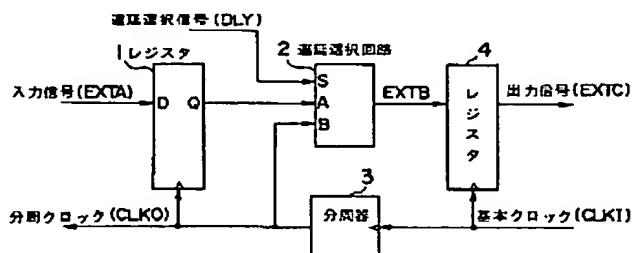
東京都大田区蒲田4丁目19番7号 安藤電  
気株式会社内

(54)【発明の名称】 同期式遅延回路

(57)【要約】

【目的】 正確な遅延時間を高分解能で得られるとともに、集積回路に内蔵しやすい同期式遅延回路を提供する。

【構成】 基本クロックを入力し、この基本クロックを所定の周期に分周する分周器3と、分周器3により分周された分周クロックで入力信号をラッチするレジスタ1と、レジスタ1より出力された出力信号と分周クロックおよび遅延選択信号を入力し、この遅延選択信号によって出力信号から分周クロックの論理レベル1の部分および論理レベル0の部分のいずれかを選択することにより、基本クロックの周期分の遅延時間の差がある信号を発生する遅延選択回路2と、遅延選択回路2で出力された信号を基本クロックでラッチするレジスタ4を備える。



**【特許請求の範囲】**

**【請求項1】** 基本クロックを入力し、この基本クロックを所定の周期に分周する分周器(3)と、分周器(3)により分周された分周クロックにて入力信号をラッチするレジスタ(1)と、レジスタ(1)より出力された出力信号と前記分周クロックおよび遅延選択信号を入力し、この遅延選択信号によって前記出力信号から前記分周クロックの論理レベル1の部分および論理レベル0の部分のいずれかを選択することにより、前記基本クロックの周期分の遅延時間の差がある信号を発生する遅延選択回路(2)と、遅延選択回路(2)で出力された信号を前記基本クロックでラッチするレジスタ(4)とを備えることを特徴とする同期式遅延回路。

**【請求項2】** 請求項1に記載の同期式遅延回路は、直列に複数段接続されることを特徴とする同期式遅延回路。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明は同期式遅延回路、とくにたとえば半導体の測定装置で測定条件のタイミングをつくるのに使用される遅延回路に有利に適用される同期式遅延回路についてのものである。

**【0002】**

**【従来の技術】** 半導体測定装置においては、デバイスの測定条件に基づくタイミングを作るため、プログラムブルなサイクル発生器、及びそのサイクル内の任意のプログラマブルなタイミング発生器が必要となる。また、半導体の測定タイミングとして0 nsから数msの可変範囲、100 ps以下の分解能が要求される。

**【0003】** 従来、タイミングを発生させるため、カウンタと遅延素子を使用して回路を構成していた。つぎに、従来のタイミング発生回路のブロック図を図2に示す。図2の示すように、カウンタ50にプログラムにより設定された値がラッチされ、4本クロックCLKによってダウンカウント動作を行う。カウントアップした時、その一致信号を同期回路52で基本クロックに同期させ、タイミングパルスを作る。このようにして、カウンタ50で基本クロックの周期までのタイミングを発生し、そのタイミングパルスを非同期の遅延素子54に入力し、その遅延時間を変えることによりそれ以下のタイミングを発生した。

**【0004】** 一方、非同期の遅延素子としては、従来、図3に示すような、固定遅延素子、または同軸線による固定遅延を選択する方法、または、ランプ関数発生回路を応用した集積回路などがあった。しかしこれら従来技術では、リニアリティの調整が困難であったり、絶対精度の調整が必要だったりする。このような調整が必要なため、遅延精度が確保しにくい。図2に示した基本クロックに同期したカウンタではこのような要因がなく、回

路を構成しやすい。

**【0005】**

**【発明が解決しようとする課題】** しかし従来技術におけるカウンタ方式では、カウントアップの一一致信号を作るのにすべてのカウンタ50の各bitの出力タイミングを合わせるのが困難であった。例えば、4 msの可変範囲があり、2 nsの分解能が必要となると、これをカウンタ50で構成すると21 bitも必要となる。カウンタ50が、カウントアップした一致信号をつくるのに、

10 この21 bitの出力のANDをとる回路が必要となる。しかも、2 nsの分解能を実現するとすれば、ゲートアレイ化は必須であり、種々の回路上の工夫、多大な検証、労力が必要となる。したがって、高価な高速度の半導体、集積回路を使用しても、基本クロックの周波数を上げるのが難しいという欠点があった。

**【0006】** この発明は、正確な遅延時間を高分解能で得られるとともに、集積回路に内蔵しやすい同期式遅延回路を提供することを目的とする。

**【0007】**

20 **【課題を解決するための手段】** この目的を達成するため、この発明は、基本クロックを入力し、この基本クロックを所定の周期に分周する分周器3と、分周器3により分周された分周クロックで入力信号をラッチするレジスタ1と、レジスタ1より出力された出力信号と分周クロックおよび遅延選択信号を入力し、この遅延選択信号によって出力信号1から分周クロックの論理レベル1の部分および論理レベル0の部分のいずれかを選択することにより、基本クロックの周期分の遅延時間の差がある信号を発生する遅延選択回路2と、遅延選択回路2で出力された信号を基本クロックでラッチするレジスタ4とを備える。

**【0008】**

**【作用】** この発明によれば、入力信号はレジスタ1により分周器3の基本クロックを分周した分周クロックでラッチされ、遅延選択回路2に出力される。遅延選択回路2はレジスタ1より出力された出力信号を入力すると、遅延選択信号で示されている論理レベルに応じて基本クロックの周期分の遅延時間の差のある信号をレジスタ4に出力する。レジスタ4は、この遅延された出力信号を40 入力すると、これを基本クロックでラッチする。

**【0009】**

**【実施例】** 次に、この発明による同期式遅延回路の実施例のブロック図を図1に示す。この発明の実施例の同期式遅延回路は、特に半導体の測定装置で測定条件のタイミングをつくるのに適しているが、遅延回路を必要とするすべての電気回路に適用することができる。

**【0010】** 図1で、この発明の実施例の同期式遅延回路は、レジスタ1、遅延選択回路2、分周器3およびレジスタ4により構成される。分周器3は、入力した基本

50 クロックを1/2分周する分周器3であり、その分周ク

ロックはレジスタ1と遅延選択回路2に供給される。レジスタ1は、入力信号(EXTA)を入力し、この入力信号を分周クロックでラッチして出力信号として出力する。

【0011】遅延選択回路2は、レジスタ1からの出力信号を分周クロックと遅延選択信号(DLY)により前半部分か後半部分かを選択出力(EXTB)する。レジスタ4は、遅延選択回路2からの選択出力を次の基本クロックでラッチした出力信号(EXTC)を出力する。

【0012】図1の動作を図4のタイムチャートで説明する。基本クロックCLKI②は常に入力され、初期状態ではレジスタ1、4はデータ無しの状態にある。また、分周クロックCLKO③は基本クロックCLKI②でトリガされて分周器3から出力されている。これが通常の状態である。

【0013】この実施例における同期式遅延回路は、入力信号EXTAが遅延選択信号DLYによって、出力信号EXTCが基本クロックCLKIの1周期分の遅延時間の差を発生するものである。

【0014】まず、入力信号EXTAが遅延されない場合を説明する。この時、遅延信号DLYを0にする。入力信号EXTA①が信号有の状態になると、レジスタ1はクロックCLKO③で入力信号EXTA①をラッチし、図4に示すようにレジスタ1出力④を出力する。

【0015】このレジスタ1の出力信号④とクロックCLKO③および遅延信号DLYが遅延選択回路2へ入力されると、遅延選択回路2は遅延信号DLYが0なのでクロックCLKO=1の信号部分⑤(前半部分)のみ出力する。レジスタ4はこの信号を基本クロックCLKI①でラッチする。このラッチ出力⑦は次のCLKI②にて0となり1サイクル分のパルス幅となる。また、入力に対して基本クロックCLKI②の1サイクル+ $\alpha$ (集積回路の遅延時間)遅れたパルスとなる。

【0016】次に、入力信号EXTAが遅延される場合を説明する。この時、遅延信号DLYは1にする。入力信号EXTA①が信号有の状態になると、レジスタ1にクロックCLKO③でラッチされ、レジスタ1の出力が図4の出力信号④となる。この出力信号④とクロックCLKO③、遅延信号DLYが遅延選択回路2へ入力され、遅延信号DLYが1なのでクロックCLKO=0の信号部分⑥(後半部分)のみ出力される。

【0017】レジスタ4はこの信号部分⑥を基本クロックCLKI②でラッチする。この出力⑧は次のCLKI②にて0となり1サイクル分のパルス幅となる。また、入力に対して基本クロックCLKI②の1サイクル+ $\alpha$ (集積回路の遅延時間)遅れたパルスとなる。

【0018】このように、この発明による実施例の同期式遅延回路によれば、遅延信号DLYの1/0により基本サイクルCLKIの1サイクル分の遅延を変化させることができる。遅延選択回路2は、回路構成上、クロッ

クCLKOのサイクルの前半部分をCLKOの0、後半部分をCLKOの1とする例も考えられる。

【0019】次に同期式遅延回路の具体的な回路例を図5に示す。この具体例では図1のレジスタ1・4、分周器3にフリップフロップを使い、遅延選択回路2に3入力ORゲートを使用している。

【0020】次に、この発明の実施例の同期式遅延回路の実際の使用例を示した具体例を図6に示す。図6では、この発明による実施例の同期式遅延回路を直列に3

10個接続した回路であり、各レジスタは隣接する回路と共用している。この具体例では、カウンタの一致信号を同期式遅延回路に入力し、図2に示す従来の同期回路の機能も果たしている。また、カウンタによる周期よりも小さい遅延に対し、レジスタにて遅延データ信号をパイプラインして供給し、リアルタイムにタイミングを変更できる機能を追加している。

【0021】この発明の実施例によれば、従来のカウンタ回路と遅延素子の間に実施例の同期式遅延回路を入れることにより、カウンタのbit数を減らすことができる。これにより、カウンタはそれほど高速で動作する必要がなくなり、安価な半導体、集積回路が使用しても、遅延精度が良く、集積回路に内蔵しやすい同期式遅延回路を実現することができる。

【0022】カウンタ回路はすべてのbitが基本的には同一クロックで動作(bitが並列に並ぶ構成)するのに対し、この実施例の同期式遅延回路はクロックが信号の伝搬方向に対し逆方向に順番に伝搬する(bitが直列に並ぶ構成)。したがって、遅延時間の設定bitが直列につながるため、信号に対して回路の規模が小さく高速に動作する回路が構成できる。

【0023】

【発明の効果】この発明によれば、回路が直列につながるのでカウンタ回路等より回路遅延時間が小さく、高速に動作することができる。したがってこの発明による同期式遅延回路を使えば、従来のカウンタと遅延素子の組み合わせと比べて、カウンタの回路は遅くて良いので、CMOSなどの安価な半導体が使用できる。

【図面の簡単な説明】

【図1】この発明による同期式遅延回路の実施例を示す40ブロック図である。

【図2】従来技術におけるタイミング発生回路のブロック図である。

【図3】非同期遅延素子による遅延回路例である。

【図4】図1に示した同期式遅延回路の動作タイムチャートである。

【図5】図1に示した同期式遅延回路の一具体例を示す回路図である。

【図6】実施例の同期式遅延回路の実際の使用例を示すブロック図である。

50 【符号の説明】

- 1 レジスタ  
2 遅延選択回路

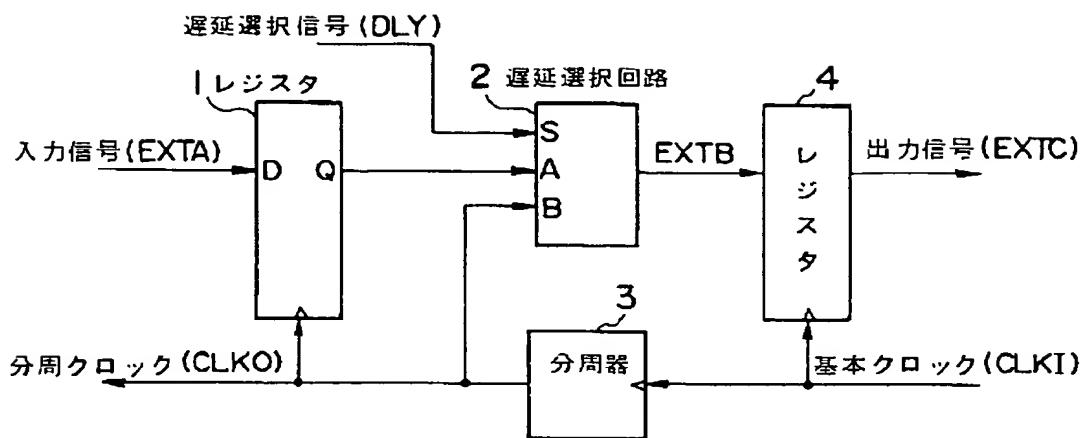
(4)

- 3 分周器  
4 レジスタ

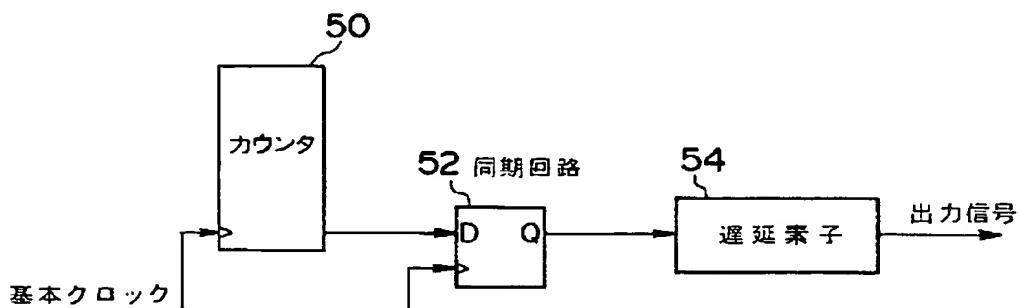
5

6

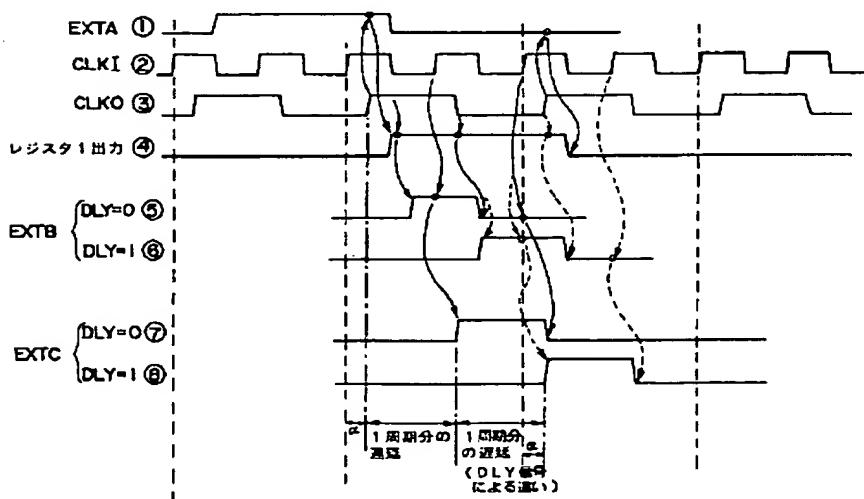
【図1】



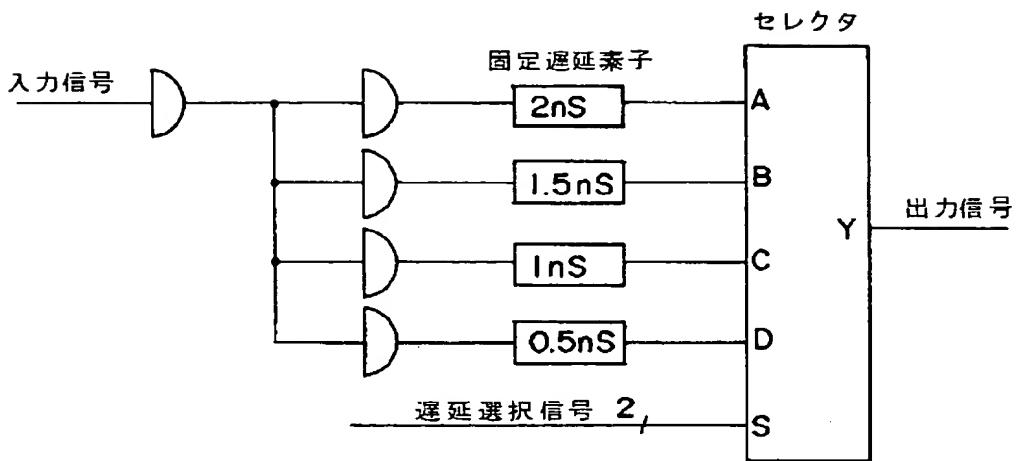
【図2】



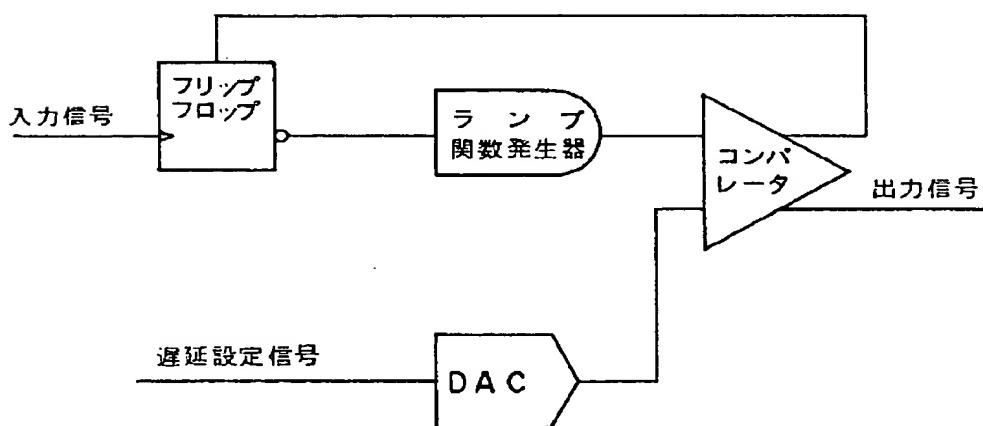
【図4】



【図3】

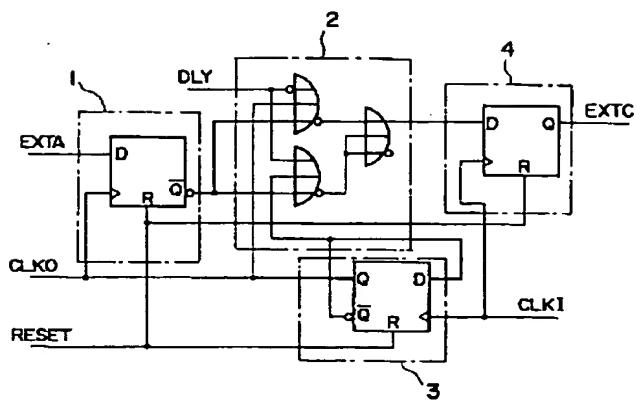


(1) 固定遅延素子を選択する方法

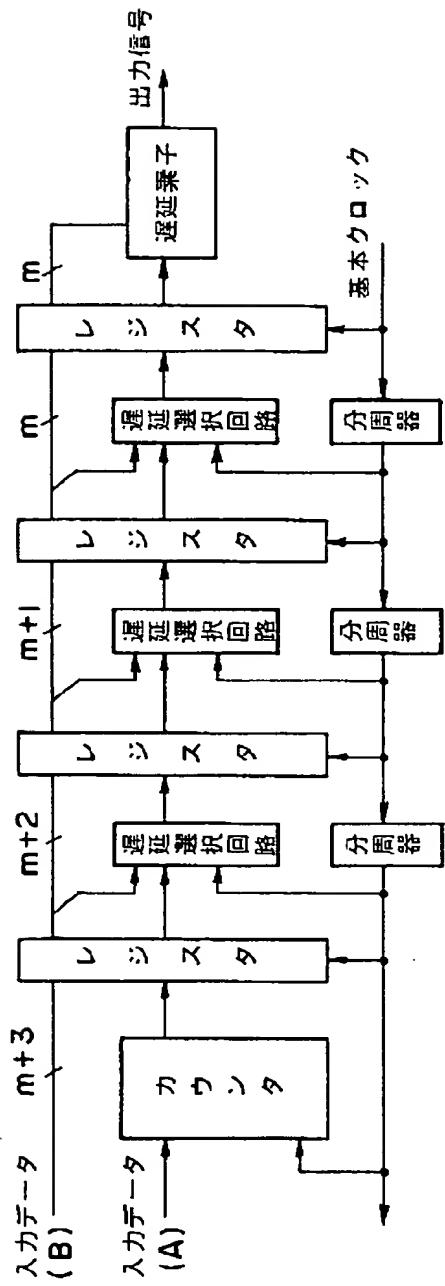


(2) ランプ関数発生器を利用した遅延回路

【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**